



1/2

Reference No.: SCEI01181

Dispatch No.: 462708

Dispatch Date: January 6, 2004

Decision of Refusal (Translation)

RECEIVED

MAR 12 2004

Technology Center 2100

Application Number	2002-079360
Drafting Date	December 25, 2003
Examiner	Masanori KUBO 2642 5B00
Title of the Invention	Computer Processor and Processing Device
Applicant	Sony Computer Entertainment Inc.
Representative	Seigoh SUZUKI, et al.

This application should be refused for the reasons as stated in the notification of reasons for refusal dated December 27, 2002.

The argument and amendment have been examined, but no basis sufficient to overthrow the previously given reasons for refusal has been found.

Remarks:

The applicant amended the claims and, in the written argument, and insisted that in the invention of the present application, according to the instruction from a second processing unit, the program and the and the data associated with the program can be transferred to a first processing unit, in contrast, though the cited document 1 disclosed the program of the boot loader, it did not disclose the main memory being operable to transfer the data to each CPU. Further, the applicant have insisted that the data being in correspondence with the program was not disclosed in the cited document 1, since the data is transferred directly to those CPU from ROM booted by the boot loader stored in ROM.

However, in the paragraph 0011 in the cited document 1, after the boot loader for a second CPU 12 is stored in the RAM 21 for a first CPU 11, it is DMA transferred to the RAM 22-1 of second CPU under the control of a data transfer controller 34. In addition, since the transfer of a program with data associated with the program is well-known, it is easy for one skilled in the art to store data including data associated with a program and making it possible for data to be transferred by applying the above-mentioned techniques properly.

Therefore, with the above-mentioned reasons, it is still deemed that a person skilled in the art could have easily made the inventions in claim 1-40.

I certify that matters described above are identical with those recorded on the file.

Date of certification December 26, 2003

Administrative Official of Ministry of Economy, Trade and Industry

拒絶査定

特許出願の番号	特願2002-079360
起案日	平成15年12月25日
特許庁審査官	久保 正典 9642 5B00
発明の名称	コンピュータ・プロセッサ及び処理装置
特許出願人	株式会社ソニー・コンピュータエンタテインメント
代理人	鈴木 正剛 (外 2名)

この出願については、平成14年12月27日付け拒絶理由通知書に記載した理由によって、拒絶査定する。

なお、意見書及び手続補正書の内容を検討したが、拒絶理由を覆すに足りる根拠が見いだせない。

備考

出願人は、特許請求の範囲を補正すると共に、意見書において、本願発明では、第2処理ユニットの転送指示により、第1の処理ユニットへプログラム及びそれに関連づけられたデータの転送が可能であるのに対し、上記拒絶の理由にて引用した、引用文献1には、ブートローダプログラムは開示されているものの、各CPUへのデータ転送が可能なメインメモリは開示されておらず、ブートローダ格納ROMでブートされたROMから、直接これらのCPUへと転送されており、プログラムに対応づけられたデータも開示されていない旨主張している。

しかしながら、引用文献1の段落【0011】には、第1のCPU11用のRAM21に第2のCPU12用のブートローダを格納し、第1のCPU11用のデータ転送制御部34の制御の下に、このRAM21に格納したブートローダを第2のCPU12用のRAM22-1にDMA転送する旨記載されている。そして、プログラムと共に該プログラムに付随するデータをも転送することはごく普通に行われていることにすぎないことから、上記記載の技術においてプログラムに関連づけられたデータをも格納し転送可能とすることに格別の困難性は認められず、このような構成とすることは必要に応じて適宜なし得る程度のものにすぎない。

したがって、請求項1乃至40に係る発明は、依然として、上記拒絶の理由にて引用した引用文献より当業者が格別の困難性を要することなくなし得たものである。

上記はファイルに記録されている事項と相違ないことを認証する。

認証日 平成15年12月26日 経済産業事務官 栗田 健志

Reference No.: SCEI01181

Dispatch No.: 002423

Dispatch Date: January 7, 2003

Notification of Reason(s) of Rejection (Translation)

Application Number	2002-079360	
Drafting Date	December 27, 2002	
Examiner	Masanori KUBO	9642 5B00
Representative	Seigoh SUZUKI, et al.	
Provision(s) Applied	Patent Law Section 29(2)	

This application should be rejected by the following reasons. If the applicant disagrees with the rejection, the applicant can file an argument within 60 days from the dispatch date of this notification.

Reasons

A patent should not be granted under Japanese Patent Law Section 29(2), because the invention according to the claims set forth below of the present application would be readily invented, prior to the filing thereof, by a person of ordinary skill in the art to which the invention pertains on the basis of the inventions set forth in the following publications publicly available in Japan or abroad prior to the filing thereof, or the inventions that have been accessible to the public via telecommunication lines.

Note (For the cited references, see the List of Cited References.)

- Claims: 1, 2, 6-8, 10, 12, 14, 15, 20-28, 31 and 33-38
- Cited References: 1-3
- Comments

Cited Reference 1 discloses a system comprising a master processor and a plurality of slave processors, wherein the master processor and slave processor comprise a CPU, a RAM, and a data transfer control section, respectively, wherein the CPU of the master processor instructs the data transfer control section of the master processor to transfer the program in the RAM of the master processor to the RAM of the slave processor. Cited Reference 2 discloses a data processing system comprising: a loading unit; a plurality of microprocessor units, each having a RAM, respectively;

and a nonvolatile memory, wherein the loading unit transfers a control program to the RAM of the respective microprocessors and sends a start signal to the respective microprocessors after such transfer is completed, so that the respective microprocessors execute the control program. Cited Reference 3 discloses a system comprising: a system storage device; and a plurality of clusters having a host CPU, a plurality of guest CPUs, and a main memory. Hence, it might readily occur to a person skilled in the art that the invention according to the relevant claims could be implemented by combining the techniques disclosed in the above Cited References as appropriate.

- Claims: 3-5
- Cited References: 1-4
- Comments

Cited Reference 4 discloses a system comprising a memory used for communication between processors, said memory comprising a plurality of entries, wherein said memory has a flag indicating the data status of said entry on an entry-by-entry basis.

- Claims: 9 and 29
- Cited References: 1-3 and 5
- Comments

Cited Reference 5 discloses that processor elements are connected over a fiber-optic transmission path via a serial-transmission conversion control section that performs electro-optic conversion.

- Claims: 11 and 30
- Cited References: 1-3 and 6
- Comments

Cited Reference 6 discloses an image processing device that stores pixel images into a frame memory and display control device.

- Claims: 13 and 16-19
- Cited References: 1-3 and 7
- Comments

Cited Reference 7 discloses a system comprising a master processor and a slave processor, wherein the slave processor requests the master processor to transfer an additional code, so that the additional code is transferred from the master processor to

the slave processor by use of DMA.

- Claim: 32
- Cited References: 1-3 and 8
- Comments

Cited Reference 8 discloses a crossbar switch that connects a main memory and an external device.

If any new reason for rejection is found, the applicant will be notified of same accordingly.

List of Cited References

1. JP05-242057
2. JP57-176456
3. JP02-210542
4. JP63-019058
5. JP05-151183
6. JP10-269165
7. JP08-161283
8. JP08-235143

Result of Search for prior art

Field Searched IPC(7) G06F15/16-15/177
G06F9/06, G06F9/445

Prior art Document(s)

This record is not component(s) of the reason(s) of rejection.

拒絶理由通知書

特許出願の番号	特願2002-079360
起案日	平成14年12月27日
特許庁審査官	久保 正典 9642 5B00
特許出願人代理人	鈴木 正剛 (外 2名) 様
適用条文	第29条第2項

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理 由

この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

- ・請求項 1、2、6-8、10、12、14、15、
20-28、31、33-38
- ・引用文献等 1-3
- ・備考

引用文献1には、マスタプロセッサと、複数のスレーブプロセッサとからなるシステムにおいて、マスタプロセッサとスレーブプロセッサは、それぞれ、CPUとRAMとデータ転送制御部とを備え、マスタプロセッサのCPUはマスタプロセッサのデータ伝送制御部に対して、マスタプロセッサのRAM内のプログラムをスレーブプロセッサのRAMへ転送するように指示する技術が記載されている。そして、引用文献2には、ローディングユニットと、それぞれ、RAMを備えた複数のマイクロプロセッサと、不揮発性メモリとを有するデータ処理方式において、ローディングユニットは、各マイクロプロセッサのRAMに制御プログラムを転送し、転送終了後に各マイクロプロセッサにスタート信号送ることにより、各マイクロプロセッサは制御プログラムを実行することが記載されており、引用文献3には、システム記憶装置と、ホストCPUと複数のゲストCPUとメインメモリとを有する複数のクラスタとを備えるシステムが記載されていること

から、上記引用文献記載の技術を適宜組み合わせることにより当該請求項に係る発明を構成することは当業者が容易に想到し得たものである。

- ・請求項 3-5
- ・引用文献等 1-4
- ・備考

引用文献4には、プロセッサ間の通信に用いられる、複数のエントリからなるメモリを備えるシステムにおいて、上記メモリは、エントリ毎に該エントリデータの状態を示すフラグを有することが記載されている。

- ・請求項 9、29
- ・引用文献等 1-3、5
- ・備考

引用文献5には、プロセッサエレメント間を電子-光変換を施すシリアル伝送変換制御部を介して光ファイバ伝送路で接続することが記載されている。

- ・請求項 11、30
- ・引用文献等 1-3、6
- ・備考

引用文献6には、フレームメモリへピクセルイメージを格納する画像処理装置と表示制御装置とが記載されている。

- ・請求項 13、16-19
- ・引用文献等 1-3、7
- ・備考

引用文献7には、マスタプロセッサとスレーブプロセッサとを有するシステムにおいて、スレーブプロセッサはマスタプロセッサに対して追加コードの転送を要求することにより、マスタプロセッサからスレーブプロセッサへDMAを用いて追加コードを転送することが記載されている。

- ・請求項 32
- ・引用文献等 1-3、8
- ・備考

引用文献8には、メインメモリと外部装置を接続するクロスバススイッチが記載されている。

拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

